

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-220016

(43)Date of publication of application : 11.08.1992

(51)Int.Cl.

H03M 1/38

H03M 1/08

H03M 1/14

(21)Application number : 02-404567

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 20.12.1990

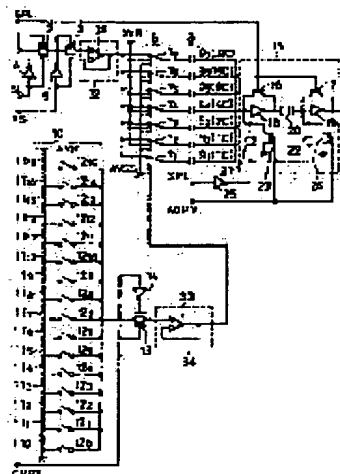
(72)Inventor : INUKAI KEIZO

(54) SUCCESSIVE APPROXIMATION A/D CONVERTER

(57)Abstract:

PURPOSE: To improve the high processing speed and noise resistance of A/D conversion.

CONSTITUTION: Voltage followers 32, 34 are respectively interposed between an analog switch 3 controlling an input analog signal and a switch circuit section 6 operated for sampling and conversion and between an analog switch 13 controlling the supply of the analog output of a D/A converter section 10 and a switch 71 of a switch circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平4-220016

(43)公開日 平成4年(1992)8月11日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M	1/38	9065-5 J		
	1/08	A 9065-5 J		
	1/14	B 9065-5 J		

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平2-404567

(22) 出願日 平成2年(1990)12月20日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地

(71)出願人 000237617
富士通ヴェルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 犬飼 慶三
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴェルエスアイ株式会社内

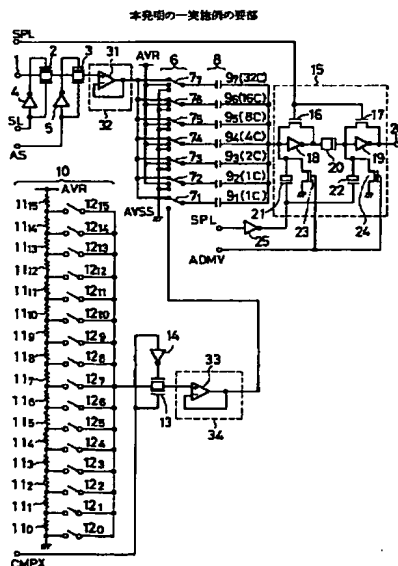
(74)代理人 井理士 井桁 貞一

(54)【発明の名称】 逐次比較型A/Dコンバータ

(57) 【要約】 (修正有)

【目的】AD変換の高速化と、耐ノイズ性の向上化を図る。

【構成】入力アナログ信号を制御するアナログ・スイッチ 3 とサンプリング動作及び変換動作に使用するスイッチ回路部 6 との間及び D/A コンバータ部 10 のアナログ出力の供給を制御するアナログ・スイッチ 13 とスイッチ回路のスイッチ 7 との間にそれぞれボルテージフォロア 32 及び 34 を介させる。



1

【特許請求の範囲】

【請求項1】 デジタル信号に変換すべきアナログ信号の入力を制御するためのアナログ・スイッチ(3)と、アナログ信号のサンプリングに使用するスイッチ回路部(6)と、2進の重み付けがなされた複数の容量からなる容量アレイ部(8)と、出力信号であるデジタル信号を形成するためのコンパレータ部(15)とを備えてなる逐次比較型ADコンバータにおいて、前記アナログ・スイッチ(3)と前記スイッチ回路部(6)との間に、利得が1で、高入力インピーダンス、低出力インピーダンスの増幅器(27)を介在させたことを特徴とする逐次比較型ADコンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、AD(アナログ・デジタル)コンバータ中、いわゆる逐次比較型ADコンバータに関する。

【0002】

【従来の技術】 従来、逐次比較型ADコンバータとして、図5にその要部を示すようなものが提案されている。この逐次比較型ADコンバータは、R-C併用型の例であって、10ビットのデジタル出力を得るように構成されたものである。図中、1はデジタル信号に変換すべきアナログ信号が入力されるアナログ信号入力端子、2、3はアナログ信号入力端子1に入力されるアナログ信号の内部への通過を制御するアナログ・スイッチ、SLはアナログ・スイッチ2のON、OFFを制御する信号、4は信号SLを反転させるためのインバータ、ASはアナログ・スイッチ3のON、OFFを制御する信号、5は信号ASを反転させるためのインバータである。なお、アナログ・スイッチ2はチャンネル選択用に使用されるアナログ・スイッチである。

【0003】 また、6はサンプリング動作及び変換動作に使用するスイッチ回路部であり、このスイッチ回路部6は、スイッチ7₁～7₄を設けて構成されている。また、AVRはアナログ信号に対する基準電圧、AVSSはアナログ信号専用のグラウンド、8は上位6ビットの算出に使用する容量アレイ部であり、容量アレイ部8は2進の重み付けがなされて形成された容量9₁(32C)～9₆(1C)によって構成されている。

【0004】 また、10は下位4ビットの算出に使用する抵抗分圧型のDAコンバータ部であり、このDAコンバータ部10は、抵抗11₁₅～11₄と、スイッチ12₁₅～12₄とで構成されている。また、13はDAコンバータ部10のアナログ出力の容量9₁への供給を制御するアナログ・スイッチ、CMPXはアナログ・スイッチ13のON、OFFを制御する信号、14は信号CMPXを反転させるためのインバータである。

【0005】 また、15は出力信号であるデジタル信号を形成するコンパレータ部であり、このコンパレータ部

2

15は、nMOSトランジスタ16、17と、コンパレータをなすインバータ18、19と、段間容量20と、nMOSトランジスタ16の補償用に使用するnMOSトランジスタ21と、nMOSトランジスタ17の補償用に使用するnMOSトランジスタ22と、非AD変換時、容量9₁～9₆の電荷を抜くためのnMOSトランジスタ23と、同じく非AD変換時、段間容量20の電荷を抜くためのnMOSトランジスタ24とを設けて構成されている。

【0006】 また、SPLはサンプリング信号、25はサンプリング信号SPLを反転させるためのインバータ、ADMVは電荷を抜くためのnMOSトランジスタ23、24のON、OFFを制御する信号、26はデジタル信号が出力されるデジタル信号入力端子である。なお、この図5では、制御回路及びこの制御回路からの信号によってスイッチ7₁～7₄、12₁₅～12₄のON、OFFを制御する逐次比較レジスタ(SAR)は、その図示を省略している。

【0007】 ここに、図6は、かかる従来例のR-C併用逐次比較型ADコンバータの動作を示すタイムチャートである。この例では、まず、信号ADMVがローレベル“L”になり、容量9₁～9₆の電荷を抜くためのnMOSトランジスタ23及び段間容量20の電荷を抜くためのnMOSトランジスタ24が共にOFFにされて、AD変換の1サイクルが開始される。

【0008】 すると、信号SL、ASがハイレベル“H”になり、アナログ・スイッチ2、3がONにされて、アナログ信号の入力が許可され、続いて、サンプリング信号SPLがハイレベル“H”になり、サンプリングが開始される。その後、所定の時間が経過すると、サンプリング信号SLがローレベル“L”になり、サンプリングが終了する。

【0009】 すると、信号SL、ASがローレベル“L”になり、アナログ・スイッチ2、3がOFFとされて、アナログ信号の入力が禁止される。続いて、信号CMPXがローレベル“L”になり、アナログ・スイッチ13がONとされて、AD変換動作が開始する。その後、所定の時間が経過すると、信号CMPXがハイレベル“H”になり、アナログ・スイッチ13がOFFにされて、AD変換動作が終了され、続いて、信号ADMVがハイレベル“H”になり、nMOSトランジスタ23、24がONにされて、容量9₁～9₆及び段間容量20の電荷が抜かれ、このようにしてAD変換の1サイクルが終了する。

【0010】

【発明が解決しようとする課題】 かかる従来例のR-C併用逐次比較型ADコンバータにおいては、上位6ビットの算出を容量9₁～9₆によって行っているが、これら容量9₁～9₆は2進の重み付けをもって構成されているので、これら容量9₁～9₆の合成容量値は非常に大きくな

ってしまう。このため、アナログ入力をサンプリングする場合の時間、即ち、アナログ入力で容量 $9_1 \sim 9_i$ を充電する場合の時間が非常に長くなり、これがAD変換の高速化を妨げていた。

【0011】かかる問題点を解決する方法として、アナログ・スイッチ2、3のサイズを大きくして、そのオン抵抗を小さくし、アナログ・スイッチ2、3と容量 $9_1 \sim 9_i$ からなる回路の時定数を小さくすることが考えられる。しかしながら、アナログ・スイッチ2、3のサイズを大きくすると、耐ノイズ性が低下してしまうという問題点があった。

【0012】本発明は、かかる点に鑑み、AD変換の高速化と、耐ノイズ性の向上化とを図ることができるようにした逐次比較型ADコンバータを提供することを目的とする。

【0013】

【課題を解決するための手段】図1は、本発明による逐次比較型ADコンバータの原理説明図であり、本発明による逐次比較型ADコンバータは、デジタル信号に変換すべきアナログ信号の入力を制御するためのアナログ・スイッチ3と、アナログ信号のサンプリングに使用されるスイッチ回路部6と、2進の重み付けがなされた複数の容量からなる容量アレイ部8と、出力信号であるデジタル信号を形成するためのコンパレータ部15とを有してなる逐次比較型ADコンバータを構成する場合、アナログ・スイッチ3とスイッチ回路部6との間に、利得が1で、高入力インピーダンス、低出力インピーダンスの増幅器27を介在させるというものである。

【0014】なお、29は制御回路、30は制御回路29からの信号によってスイッチ回路部6の動作を制御する逐次比較レジスタである。

【0015】

【作用】本発明においては、サンプリング時、容量アレイ部8を構成する容量を充電する時間は、増幅器27の出力インピーダンスに依存することになるが、この増幅器27は、その出力インピーダンスを低インピーダンスとされているので、容量アレイ部8を構成する容量を充電する時間を短くすることができる。

【0016】

【実施例】以下、まず、図2及び図3を参照して、本発明の一実施例について、本発明をR-C併用逐次比較型ADコンバータに適用した場合を例にして説明する。なお、図2において、図5に対応する部分には同一符号を付し、その重複説明は省略する。

【0017】図2は、本発明の一実施例の要部を示す回路図であり、本実施例のR-C併用逐次比較型ADコンバータは、アナログ・スイッチ3とスイッチ回路部6との間にオペアンプ31からなるボルテージフォロア（電圧フォロア）32を介在させると共に、アナログ・スイッチ13とスイッチ71との間にオペアンプ33からな

るボルテージフォロア34を介在させ、その他については、図5に示す従来例と同様に構成したものである。なお、オペアンプ31、33は、例えば、図3に示すように構成することができる。

【0018】かかる本実施例においては、アナログ・スイッチ3とスイッチ回路部6との間にボルテージフォロア32を介在させているので、サンプリング時、容量アレイ部8を構成する容量 $9_1 \sim 9_i$ を充電する時間は、このボルテージフォロア32の出力インピーダンスに依存することになるが、ボルテージフォロアは、その出力インピーダンスを低インピーダンスとするものであるから、アナログ信号入力端子1に入力されるアナログ信号による容量 $9_1 \sim 9_i$ の充電を従来に比較して短い時間で行うことができる。

【0019】また、本実施例においては、アナログ・スイッチ13とスイッチ71との間にボルテージフォロア34を介在させているので、DAコンバータ部10のアナログ出力で容量 9_i を充電する時間は、このボルテージフォロア34の出力インピーダンスに依存することになるが、ボルテージフォロアは、前述のように、その出力インピーダンスを低インピーダンスとするものであるから、DAコンバータ部10のアナログ出力による容量 9_i の充電を従来に比較して短い時間で行うことができる。

【0020】また、本実施例においては、ボルテージフォロア32の前段には、ボルテージフォロア32が高入力インピーダンスであることから、アナログ・スイッチ2、3のON抵抗と寄生容量からなるローパスフィルタが構成され、また、ボルテージフォロア34の前段には、ボルテージフォロア34が高入力インピーダンスであることから、アナログ・スイッチ13のON抵抗と寄生容量からなるローパスフィルタが構成される。

【0021】したがって、本実施例によれば、AD変換の高速化と、耐ノイズ性の向上化とを図ることができる。

【0022】なお、上述の実施例においては、アナログ・スイッチ3とスイッチ回路部6との間にオペアンプ31からなるボルテージフォロア32を介在させると共にアナログ・スイッチ13とスイッチ71との間にオペアンプ33からなるボルテージフォロア34を介在させた場合につき述べたが、この代わりに、図4に示すようなソースフォロアを介在させることもできる。

【0023】また、上述の実施例においては、本発明をR-C併用逐次比較型ADコンバータに適用した場合につき述べたが、その他、本発明は、DAコンバータ部10を有しない電荷比較方式のADコンバータ等にも適用することができる。

【0024】

【発明の効果】本発明によれば、アナログ・スイッチ3とスイッチ回路部8との間に、利得が1で、高入力イン

5

6

ピーダンス、低出力インピーダンスの増幅器27を介在させるという構成を採用したので、AD変換の高速化と、耐ノイズ性の向上化を図ることができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の一実施例の要部を示す回路図である。

【図3】本発明の一実施例で使用するオペアンプの一例を示す回路図である。

【図4】ソースフォロアを示す回路図である。

【図5】従来のR-C併用逐次比較型ADコンバータの一例の要部を示す回路図である。

【図6】図5に示す従来のR-C併用逐次比較型ADコンバータの動作を示すタイムチャートである。

【符号の説明】

3 アナログスイッチ

6 スイッチ回路部

8 容量アレイ部

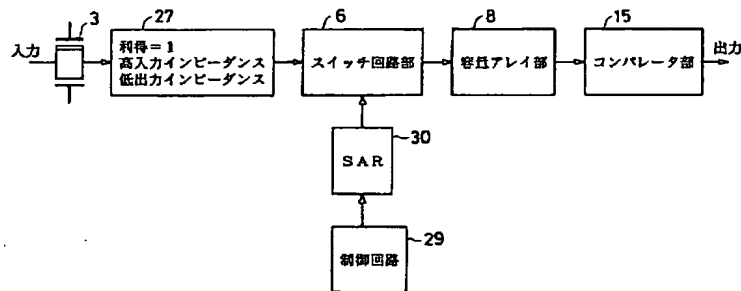
15 コンパレータ部

27 利得が1で、高入力インピーダンス、低出力インピーダンスの増幅器

29 制御回路

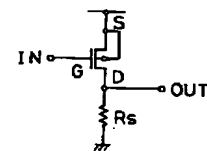
30 逐次比較レジスタ(SAR)

【図1】



【図4】

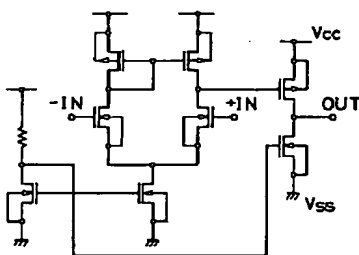
ソースフォロアを示す回路図



本発明の原理説明図

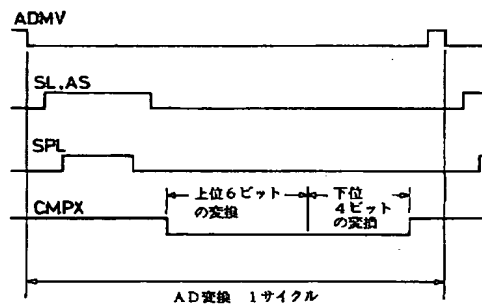
【図3】

本発明の一実施例で使用するオペアンプの一例

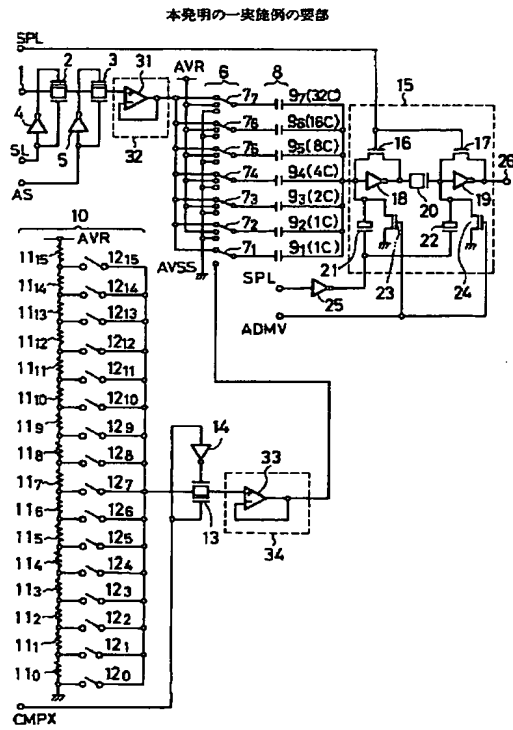


【図6】

従来のR-C併用逐次比較型ADコンバータの動作を示すタイムチャート



【図2】



【図5】

